

L2: Entry 3 of 3

File: JPAB

Dec 22, 1995

PUB-NO: JP407335846A

DOCUMENT-IDENTIFIER: JP 07335846 A

TITLE: MANUFACTURE OF SOI SUBSTRATE

PUBN-DATE: December 22, 1995

INVENTOR-INFORMATION:

NAME

NAKAYOSHI, YUICHI

HASHIGUCHI, ERIKO

COUNTRY

INT-CL (IPC): H01 L 27/12; H01 L 21/306; H01 L 21/316

ABSTRACT:

PURPOSE: To make high-performance and high-quality products through reduction of inferior products by chamfering an active substrate and eliminating a residual layer with etching in a specific organic alkaline solution.

CONSTITUTION: After a semiconductor wafer functioning as an active substrate 2 is mirror-finished, it is heat-treated to form an oxide film which serves as an intermediate oxide film 3. On the other hand, another semiconductor wafer functioning as a support substrate 4 is likewise mirror-finished. Each of the substrates 2 and 4 is subjected to hydrophilic treatment by rinsing. After its surface is dried, the mirror-finish surfaces 2a and 4a are laid one on top of the other, subjected to hydrophilic treatment, again, and the active substrate 2 is bonded to the support substrate 4. Then, after the active substrate 2 is chamfered to form a chamfered part 8, a residual layer 2b remaining on the chamfered part 8 is etched in an organic alkaline solution expressed by a formula, $C_xH_yN_z$ (where x is 4 or 5, y is 10, 11, and 12, and z is 1 or 2). As a result, inferior products can be reduced.

IN Nakayoshi, Juichi; Shiguchi, Eriko

PA Kyushu Komatsu Denki Kk, Japan; Komatsu Denki Kinzoku Kk

SO Jpn. Kokai Tokkyo Koho, 6 pp.

CODEN: JKXXAF

DT Patent

LA Japanese

FAN.CNT 1

PATENT NO.	KIND	DATE	APPLICATION NO.	DATE
------------	------	------	-----------------	------

PI JP 07335846 A2 19951222 JP 1994-163403 19940611

PRAI JP 1994-163403 19940611

OS MARPAT 124:217846

AB The substrate is manufd. by bonding a base Si wafer and an active Si wafer, beveling the active wafer edge by grinding and subsequent etching using an alk. soln. of I or II ($R_{1-3} = H, C_{1-2}$ alkyl), and thinning the active wafer. Piperazine, N-methylpiperazine, and piperidine sol. (6-12 wt %) may be used in etching temp. 60-90°. The alk. soln. has high etching ratio (Si/SiO₂) not to damage the SiO₂ film.

L1: Entry 3 of 3

File: DWPI

Dec 22, 1995

DERWENT-ACC-NO: 1996-084485

DERWENT-WEEK: 199706

COPYRIGHT 2003 DERWENT INFORMATION LTD

TITLE: SOI substrate mfr. - involves etching of remaining layer of active substrate at chamfered part using organic alkali solution

PRIORITY-DATA: 1994JP-0163403 (June 11, 1994)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 07335846 A	December 22, 1995		006	H01L027/12
TW 286416 A	September 21, 1996		000	H01L021/08

INT-CL (IPC): H01 L 21/08; H01 L 21/306; H01 L 21/316; H01 L 21/12

ABSTRACTED-PUB-NO: JP 07335846A

BASIC-ABSTRACT:

The method involves bonding of an active substrate (2) and a SOI substrate (1). The void region produced at the circumference of the active substrate is ground and chamfered. Etching of the remaining layer of the active substrate at a chamfered part (8) is carried out using an organic alkali solution.

The organic alkali solution used is an alicyclic nitrogen compound of benzene ring structure of piperazine, N-methyl piperazine and piperidine. The density of the organic alkali solution is about 6-12% by weight and is used for processing at a temperature of about 60-90 deg centigrade.

ADVANTAGE - Obtains sufficient yield. Avoids divergence of metal. Avoids melting and breaking of intermediate oxide film.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-335846

(43)公開日 平成7年(1995)12月22日

(51)Int.Cl.*

H 01 L 27/12
21/306
21/316

識別記号

B
B

庁内整理番号

F I

技術表示箇所

H 01 L 21/306

B

審査請求 未請求 請求項の数8 書面 (全6頁)

(21)出願番号

特願平6-163403

(22)出願日

平成6年(1994)6月11日

(71)出願人 392006868

九州コマツ電子株式会社
宮崎県宮崎郡清武町大字木原1112番地

(71)出願人 000184713

コマツ電子金属株式会社
神奈川県平塚市四之宮2612番地

(72)発明者 中▲吉▼ 雄一

宮崎県宮崎郡清武町大字木原1112番地 九州コマツ電子株式会社内

(72)発明者 稲口 英里子

宮崎県宮崎郡清武町大字木原1112番地 九州コマツ電子株式会社内

(74)代理人 弁理士 衛藤 彰

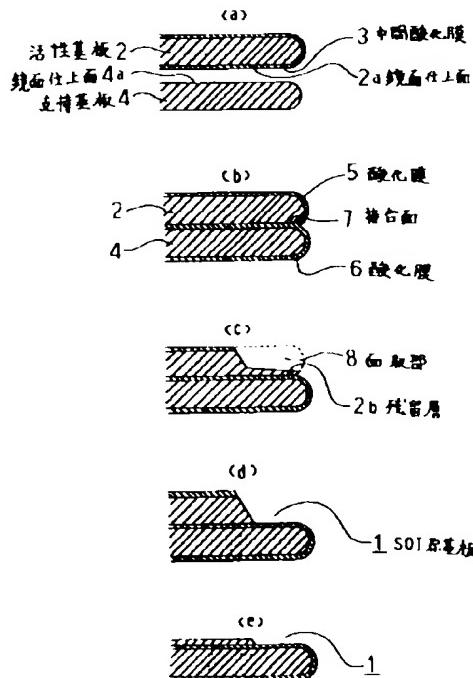
(54)【発明の名称】 SOI基板の製造方法

(57)【要約】

【目的】 SOI基板の活性基板残留層を除去するエッティングで、中間酸化膜が溶解して欠陥品となるのを防止する。

【構成】 支持基板半導体ウェハと、活性基板半導体ウェハを貼り合わせてSOI基板を作製する際、活性基板の周縁に生じるボイドを研磨して面取りする。面取部に残った活性基板の残留層を有機アルカリ溶液でエッティングして除去する。有機アルカリ溶液には、6員環の脂環式含窒素化合物、例えばピペラジン、N-メチルピペラジン、ピペリジン等の水溶液を用いる。有機アルカリ溶液の濃度は約6~12重量%、処理温度は約60~90°Cである。

【効果】 有機アルカリ溶液は、活性基板(Si)を選択的に溶解し、中間酸化膜(SiO₂)の溶解による欠陥品はなく、歩留まりが向上する。



1

【特許請求の範囲】

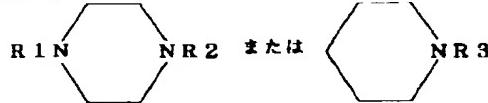
【請求項1】 支持基盤として機能する半導体ウェハと、活性基板として機能する半導体ウェハを貼り合わせてSOI基板を作製するに当たり、活性基板を面取りした後、活性基板の面取り部に残った残留層を、

一般式； $C_xH_yN_z$

(但し、 x が4または5で、 y が10、11、または12で、 z が1または2である)で示す有機アルカリ溶液でエッチングにより除去することを特徴とするSOI基板の製造方法。

【請求項2】 有機アルカリ溶液が、一般式：

【化1】



(但し、R1、R2、またはR3は各々水素または炭素数1～2個のアルキル基を示す)で示す脂環式化合物からなる群から選ばれた少なくともひとつを含む請求項1記載のSOI基板の製造方法。

【請求項3】 有機アルカリ溶液がピペラジン、N-メチルピペラジン、ピペリジンからなる群から選ばれた少なくともひとつを含む請求項2記載のSOI基板の製造方法。

【請求項4】 有機アルカリ溶液がピペラジン溶液であることを特徴とする請求項3記載のSOI基板の製造方法。

【請求項5】 有機アルカリ溶液の濃度が6～12重量%である請求項1記載のSOI基板の製造方法。

【請求項6】 有機アルカリ溶液の濃度が8～10重量%である請求項5記載のSOI基板の製造方法。

【請求項7】 エッチングの処理温度が60～90°Cである請求項1記載のSOI基板の製造方法。

【請求項8】 エッチングの処理温度が75～85°Cである請求項7記載のSOI基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、支持基盤として機能する半導体ウェハと、活性基板として機能する半導体ウェハとを貼り合わせて作製するSOI基板の製造方法に関するものである。

【0002】

【従来の技術】近年、高性能の半導体ディバイス用基板として、その高耐圧性や高速性などからSOI基板が要求されており、この種の要求を満たす大面积で結晶欠陥の少ないSOI基板は、2枚のウェハを貼り合わせることで、比較的容易に作れるようになった。この貼り合わせは一般的には図1(a)に示すような工程で行われる。即ち、先ず図1(a)に示すように、活性基板2となる半導体ウェハと、支持基板4となる半導体ウェハの一

2

方、たとえば活性基板2を鏡面仕上げして熱処理し、中間酸化膜となる酸化膜3(以下中間酸化膜という)を形成する。一方、支持基板4も接合面を鏡面仕上げする。この両基板2、4の鏡面仕上げ面2a、4aを洗浄、親水処理し、乾燥した直後、まだ親水性を保持した状態で接合して接合面7を形成する。こうして接合された活性基板2と支持基板4は、再度の熱処理により接合面7において貼着し、図1(b)に示すようにSOI原基板1を得る。このとき同時に活性基板2と支持基板4の各々の表面に、保護酸化膜5及び6が形成される。貼着熱処理は親水性を保った状態で行われるので、残留水酸基や水素イオンが接合面7の外周に集まって気泡となり不完全接着部(ボイド)が発生する(図示しない)。不完全接着部は他の部位より強度が落ちるために、後の工程でチッピングやパーティクル発生の原因となることから、図1(c)に示すように、不完全接着部を含む活性基板2の外周部を研削加工により面取りする。面取り部8は、研削加工時中間酸化膜3を傷つけないように厚さ数10μmの活性基板2の残留層2bを残して行う。次いで、

20 SOI原基板1をキャリヤに装填してエッチングすることにより、理想的には図1(d)に示すように活性基板2の残留層2bのみを除去する。最後に活性基板2を所定の厚さまで研削や研磨で除去して、図1(e)に示すように薄膜化し、支持基板4の酸化膜6をフッ酸溶液で除去してSOI基板(図示しない)を得る。

【0003】従来、SOI原基板1における活性基板2の残留層2bを除去するエッチングには、アルカリ金属の水酸化溶液、例えば水酸化カリウムの水溶液を用いていたが、近年SOI基板の絶縁膜となる中間酸化膜3が薄膜化されるに従って、活性基板2の残留層2bが完全に除去される前に中間酸化膜3が溶解して、支持基板4の鏡面テラスの円周方向に、図2に示すようにV溝9が発生し、これが欠陥不良品となり、歩留まりの低下をもたらしていた。また、このことが中間酸化膜3の薄膜化による高性能SOI基板の製造を阻害していた。さらに、アルカリ金属水酸化物では、アルカリ金属が熱処理で不純物として発散するおそれもあった。

【0004】

【発明が解決しようとする課題】本発明は、上記の如き問題点を解決した高性能、高品位で、不良品の発生の少ないSOI基板の製造方法を提供すること目的としている。

【0005】

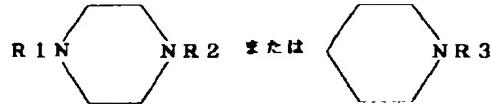
【課題を解決するための手段】すなわち、前記目的を達成した本発明のSOI基板の製造方法は、支持基板として機能する半導体ウェハと、活性基板として機能する半導体ウェハを貼り合わせてSOI基板を作製するに当たり、活性基板を面取りした後、活性基板の面取り部に残った残留層を、

50 一般式； $C_xH_yN_z$

3

(但し、 x が4または5で、 y が10、11、または12で、 z が1または2である)で示す有機アルカリ溶液でエッティングにより除去することを特徴としている。
【0006】本発明に使用する有機アルカリ溶液としては、前記一般式のうち下記一般式で示される

【化1】



(但し、R1、R2、またはR3は各々水素または炭素1～2個のアルキル基を示す)の脂環式化合物が好適であり、ピペラジン、N-メチルピペラジン、ピペリジン等をあげることができる。特に、ピペラジンの水溶液が好適である。

【0007】腐食剤としての有機アルカリ溶液の濃度は、その種類によって異なるので一概に特定できないが、ピペラジン水溶液の場合、濃度を変化させて、珪素*

4

*と二酸化珪素に対するエッティングレート比をみると、図4に示す通りである。このことから、濃度は4ないし14重量%、好ましくは6%～12%、さらに好ましくは8～10%である。一方、ピペラジン水溶液の各濃度において、エッティングの処理温度を変化させてみると図5に示すとおりである。これらの結果からエッティング処理温度は、約60～90°C、好ましくは75～85°Cである。

【0008】

10 【作用】本発明で使用する有機アルカリ溶液のエッティング作用は、例えば図3に示す通りである。即ち、面取り後の活性基板2の残留層2bの厚さが最大50μm、最小30μm、平均40μmで、中間酸化膜3の厚さが1000

【外1】ÅのSOI原基板試料を、後述する実施例1のピペラジン水溶液及び比較例1の水酸化カリウム水溶液を用いてエッティングすると、表1の結果が得られる。

【表1】

	ピペラジン10重量%溶液 (実施例1)		水酸化カリウム50重量%溶液 (比較例1)	
	Si	SiO ₂	Si	SiO ₂
エッティングレート(A/min)	2,580	0.2	11,000	55.0
試料の厚さに対するエッティング所要時間(min)	(最大厚さ50μm)	(厚さ1000【外1】Å)	(最大厚さ50μm)	(厚さ1000【外1】Å)
	193.8	116.3	45.5	18.2
時間差(最大-最小)(min)	(最小厚さ30μm)	5000.0	(最小厚さ30μm)	27.3
	77.5	-	18.2	-

表1から明らかなように、水酸化カリウム溶液の場合は、活性基板2の残留層2b(珪素)の一番厚いところと薄いところを完全除去するのに約18分の差しかないが、中間酸化膜3(二酸化珪素)のエッティングレートが高いために、中間酸化膜3が溶解される。これに対し本発明のピペラジン溶液では、前記の時間差が約77分と※50

※大きいものの、中間酸化膜3はエッティングに十分耐えられる。即ち全体としてエッティングレートは緩慢であるが、残留層2bの選択除去性に対しては優れた作用を示す。併せて、アルカリ金属水酸化物溶液のように金属イオンを含んでいないので、残留不純物の発散は生じない。

【0009】

* * 【実施例1】

図1(a)に示すように、活性基板2と支持基板4として直径150mmの、

厚さ6.25μmのシリコン半導体ウェハを用いた。このうち活性基板2を鏡面仕上げした後熱処理し、中間酸化膜3となる酸化膜を形成した。一方、支持基板4も同様に鏡面仕上げした。各基板2、4は洗浄による親水処理を施し、表面が親水性を保持する程度まで乾燥して、鏡面仕上げ2a、4aで重ね合わせた。次いで再度熱処理して、図1(b)に示すように重ね合わされた活性基板2と支持基板4を貼着するとともに、両表面に保護酸化膜5、6を形成した。このとき残存水酸基や水素イオンにより周縁テラス部に生じた不完全接着部(ポイド)を、図1(c)に示すように、周側から約3.0mmにわたって円周方向に研削機により削除した。この面取りは、図3に示すように、厚さで最大5.0μm、最小3.0μmの残留層2bが残るようを行った。残留層2bの除去はSOI原基板をキャリヤに搭載して80°Cの腐食剤に180分浸漬してエッチングすることにより行った。エッチング用の腐食剤には、ビペラジンの10重量%水溶液を用いた。その結果、厚さ1000

10

20

30

【外1】Aの中間酸化膜3を破ることなく、図1(d)に示すようなSOI原基板1を得た。得られたSOI原基板1は、図1(e)に示すように、さらに厚さ10μm程度まで平面研削して薄膜化し、濃度5.0重量%フッ酸水溶液で処理して支持基板4の酸化膜を除去し、その後鏡面研磨してSOI基板(図示しない)を得た。

【0010】

【実施例2】エッチングに使用する腐食液をN-メチルビペラジンの10重量%水溶液とした以外は、実施例1と同一である。

【0011】

【実施例3】エッチングに使用する腐食液をビペリジンの10重量%水溶液とした以外は、実施例1と同一である。

【0012】

【比較例1】エッチングに使用する腐食液を水酸化カリウムの5.0重量%水溶液とし、処理温度を70°Cとした※

※以外は、実施例1と同一である。

【0013】前記、実施例1と比較例1について、以下の方法により溶解力の比較試験を行い、その比を算出した結果を表1に示す。

【0014】ひとつのキャリアに、酸化膜なしのウェハ(Si)と酸化膜付きウェハ(SiO₂)を各々10枚交互に装填した。実施例1と比較例1の溶液それぞれに超音波振動を与えながら約180分間浸漬してエッチングした。エッチング時間をストップウォッチで秒単位で測定した。エッチング量の測定は、酸化膜なしウェハ(Si)については平坦度測定器(ADE社製ADE9500)で1枚当たり6点、酸化膜付きウェハ(SiO₂)については膜圧測定器(ナノメトリックスジャパン社製NanoSpec/AFT)で1枚当たり17点行った。エッチングレートの計算は次式によった。

【0015】酸化膜なしウェハ(Si)の場合:

【数1】

$$A_1 - A_2$$

$$\text{エッチングレート} = \frac{A_1 - A_2}{T \times 2}$$

但し、A1=エッチング前のウェハの厚さ

A2=エッチング後のウェハの厚さ

T=エッチング時間

酸化膜付きウェハ(SiO₂)の場合:

【数2】

$$B_1 - B_2$$

$$\text{エッチングレート} = \frac{B_1 - B_2}{T}$$

但し、B1=エッチング前のウェハの酸化膜厚さ

B2=エッチング後のウェハの酸化膜厚さ

T=エッチング時間

【0016】

【表2】

	エッチングレート (【外1】A/m in)		エッチングレート比	
	Si	SiO ₂	Si	SiO ₂
実施例1	2,580	0.20	12,900	1
比較例1	11,000	55.00	200	1

【0017】表2の結果から、腐食剤として水酸化カリウム5.0重量%水溶液を用いた比較例1に比して、ビペ

★ラジン10重量%水溶液を用いた本発明の実施例1は、活性基板となる半導体ウェハのシリコンと中間酸化膜の

二酸化珪素に対する腐食速度が全体としてマイルドであるが、両者の選択性において6.5倍近くも優れていることが明らかである。

【0018】

【発明の効果】本発明のSOI基板の製造方法によれば、以下の効果にもとづき高性能、高品位のSOI基板を収率よく得られる。

(1) 中間酸化膜を溶解して破ることなく、活性基板の面取り部残留層を除去できる。

(2) これにより、中間酸化膜の一層の薄膜化が可能となる。

(3) アルカリ金属に起因する金属の発散がない。

【図面の簡単な説明】

【図1】図1はSOI基板の一般的な製造工程における活性基板、支持基板及びSOI原基板のテラス部を示す断面図である。

【図2】従来のSOI基板の製造方法で生じる欠陥SOI原基板のテラス部を示す断面図である。

【図3】エッチングレート試験用試料のSOI原基板の

テラス部を示す断面図である。

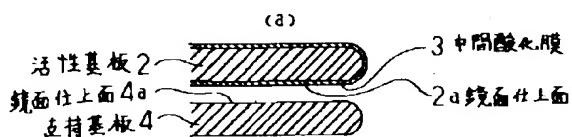
【図4】ピペラジン溶液の濃度とSi/SiO₂エッチング選択比との関係を示すグラフである。

【図5】ピペラジン溶液の各濃度における処理温度とSiとSiO₂のエッチングレートとの関係を示すグラフである。

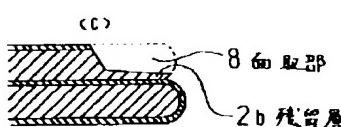
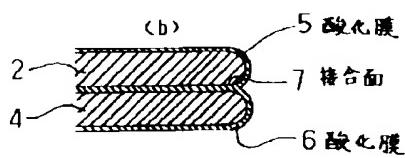
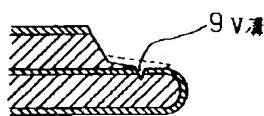
【符号の説明】

- 1……SOI原基板
- 2……活性基板
- 2a…鏡面仕上面
- 2b…残留層
- 3……中間酸化膜
- 4……支持基板
- 4a…鏡面仕上面
- 5……酸化膜
- 6……酸化膜
- 7……接合面
- 8……面取部
- 9……V溝

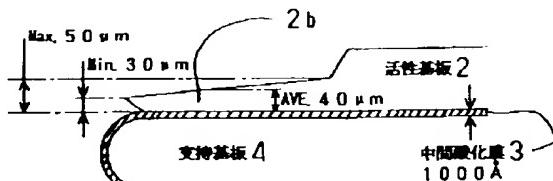
【図1】



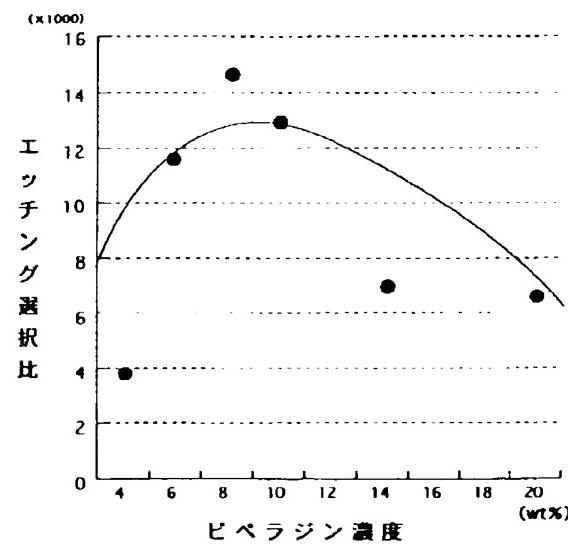
【図2】



【図3】



【図4】



【図5】

